

BEST AVAILABLE COPY

01- 4-13;20:02 ;日本技術貿易 IP 特許
Searching PAJ

;613 5561 3650 # 24/ 32
1/1 ページ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-161820

(43)Date of publication of application : 21.06.1990

(51)Int. Cl.

H03K 19/177
G06F 7/00
H03K 19/0175

(21)Application number : 01-206398

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 09.08.1989

(72)Inventor : KAWANA KEIICHI

(30)Priority

Priority number : 63225276 Priority date : 08.09.1988 Priority country : JP

(54) PROGRAMMABLE INPUT/OUTPUT CIRCUIT AND PROGRAMMABLE LOGIC ELEMENT

(57)Abstract:

PURPOSE: To directly fetch the external signals to an internal bus by using an input buffer to transmit the external input signal to an input/output terminal or an input terminal.

CONSTITUTION: An input/output terminal 40 is connected to the bus of an internal logic circuit, and the states of input buffers 44 and 48 are switched so that the external input signal is transmitted to the terminal 40 or an input terminal 42. Thus the external input signal is transmitted to the terminal 40 via the buffer 44 then inputted directly to the bus of an internal logic circuit. Then it is possible to perform the highly efficient transfer of signals between the internal and external buses of an integrated circuit.

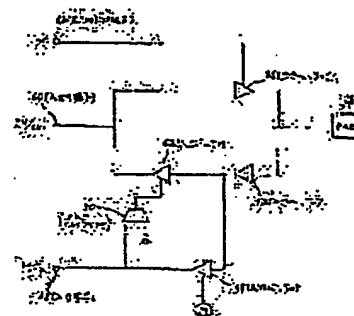


Fig. 1

X2ITC 107493

<http://www1.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAa04714DA402161820P2.htm> 01/04/13

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-161820

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月21日

H 03 K 19/177

7328-5 J

G 06 F 7/00

H 03 K 19/0176

8326-5 J H 03 K 19/00

1 0 1 S

7313-5 B G 06 F 7/00

E

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 プログラマブル入出力回路及びプログラマブル論理素子

⑯ 特 願 平1-206398

⑰ 出 願 平1(1989)8月9日

優先権主張 ⑱ 昭62(1988)8月8日 ⑲ 日本(JP) ⑳ 特願 昭63-225276

㉑ 発 明 者 川 名 啓 一 千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

㉒ 出 願 人 川 崎 製 鉄 株 式 有 限 公 司 兵庫県神戸市中央区北本町通1丁目1番28号

㉓ 代 理 人 弁 理 士 高 矢 諭 外2名

明 細 書

1. 発明の名称

プログラマブル入出力回路及び

プログラマブル論理素子

2. 特許請求の範囲

(1) プログラマブルな集積回路に用いられる外部回路と内部論理回路との間のインタフェースを行うためのプログラマブル入出力回路において、

内部論理回路のバスに接続される入出力端子と、

内部論理回路のプログラマブルな配線に接続される入力端子と、

外部からの入力信号を、前記入出力端子又は入力端子のいずれかに伝えるための、トライステート状態を有する入力バッファと、

前記入出力端子に伝えられる内部論理回路からの出力信号を外部に伝えるための、トライステート状態を有する出力バッファと、

を備えたことを特徴とするプログラマブル入出力回路、

(2) プログラマブルな入出力回路ブロックを持つ

プログラマブルな集積回路において、

前記入出力回路ブロックに設けられた入出力制御端子と、

電気的に接続をプログラミング可能な配線手段と、

イネーブル制御入力端子を持つトリステートバッファとを含む、

該トリステートバッファのイネーブル制御を、前記入出力回路ブロック内で発生した制御信号により行うことを特徴とするプログラマブル論理素子、

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、プログラマブルな集積回路に用いられる外部回路と内部論理回路との間のインタフェースを行うためのプログラマブル入出力回路及び該入出力回路を含むプログラマブル論理素子に係り、特に、ユーザが単元で任意の回路を電気的にプログラム可能なプログラマブル論理素子に用いるのに好適な、集積回路内部のバスと集積回路外

特開平2-161820 (2)

部のバスとの間で、信号の授受を効率的に行うことが可能なプログラマブル入出力回路及び取入出力回路を含むプログラマブル論理素子に関するものである。

【従来の技術】

従来より、ユーザが手元において任意の論理回路を実現可能に構成された集積回路であるプログラマブル論理素子（以下、PLDと称する）が知られている。

このPLDは、主に、ユーザ独自の論理を構築するためのコンフィグラブルなプログラマブル論理要素（以下、PLEと称する）と、該PLEの論理機能及び内部配線の接続を決定するための回路機能定義用のメモリ・セルと、該回路の外部回路と内部論理回路（PLE）との間のインタフェースを行うためのプログラマブル入出力ブロック（以下、IOBと称する）と、から構成されている。

前記IOBのうち、例えば第7図に示す如く、内部論理回路のバスに接続される出力端子12と、

内部論理回路のプログラマブルな配線に接続される入力端子14と、外部回路に接続されるパッド16と、例えばTTL（1.4V）レベルとCMOS（2.5V）レベルとの間で互換性を保つように、スレッシュホールドを設けて、パッド16に印加された外部信号を内部論理レベルに変換するための入力バッファ18と、該入力バッファ18の出力をラッチするための、例えばエッジ・トリガ型のDフリップ・フロップ20と、予め定められたメモリ・セル（図示省略）の内容に従って、前記入力バッファ18の出力又は前記Dフリップ・フロップ20出力のいずれか一方を前記入力端子14に伝えるためのプログラマブルな2入力マルチプレクサ22と、前記出力端子12に伝えられる、高ファンアウトのCMOS又はTTLレベルの出力信号を、前記の駆動電圧に変換して前記パッド16に伝えるための出力バッファ24と、該出力バッファ24を、そのバッファのオン又はオフによつて、あるいは内部論理回路のトライステート・バッファ・コントロールを設けて、

る2つの回路機能定義メモリ・セル（図示省略）によつて、又は、出力制御端子26に加えられるIOB出力制御信号によつて制御される3入力マルチプレクサ28とを含んでいる。

一方、PLD内部にバスを設けることに関しては、例えば、「Electronic Design July 11, 1985」の111頁に開示されている。

【発明が達成しようとする課題】

しかしながら、いずれにしても、従来は、PLD内の各PLEを連結するバスと、PLD外部のバスが接続される入出力ピンが独立しており、しかも、入力端子と出力端子が共通ではないので、ボード上に構成されたバス上の信号（集積回路外の信号）を、集積回路（PLD）内のバスに直接取り込むことは困難であり、他の信号線路を利用して入れる必要があった。従つて、外部の集積回路30のバス31と当該PLD32内部の論理回路（PLE）34のバス36を接続するに際して、従来は、例えば第8図に示す如く、外部からの信号を、例えば第7図に示したような構成のIOB

35を介して、一旦プログラマブルな配線37に導入し、配線状態を切換えるためのスイッチ38を含む該プログラマブル配線37を経由して内部論理回路34に入れる必要があり、中継する素子数が多くなり、動作に時間がかかつて、信号の授受を効率的に行うことができないという問題点を有していた。

本発明は、前記従来の問題点を解消するべくなされたもので、集積回路外部の信号を、集積回路内部のバスに直接取り込むことができるプログラマブル入出力回路及び取入出力回路を含むPLDを提供することを課題とする。

【課題を達成するための手段】

本発明は、プログラマブルな集積回路に用いられる外部回路と内部論理回路との間のインタフェースを行うためのプログラマブル入出力回路において、内部論理回路のバスに接続される入出力端子と、内部論理回路のプログラマブルな配線に接続される入力端子と、外部からの入力信号を、前記入出力端子又は入力端子のいずれかに伝えるた

特開平2-161820 (3)

めの、トライステート状態を有する入力バッファと、前記入出力端子に伝えられる内部論理回路からの出力信号を外部に伝えるための、トライステート状態を有する出力バッファとを備えることにより、前記課題を達成したものである。

本発明は、又、プログラマブルな入出力回路ブロックを有するプログラマブルな集積回路において、前記入出力回路ブロックに設けられた入出力制御用端子と、電気的に接続をプログラミング可能な配線手段と、イネーブル制御入力端子を有するトライステートバッファとを含み、該トライステートバッファのイネーブル制御を、前記入出力回路ブロック内で発生した制御信号により行うようにして、前記課題を達成したものである。

【発明の作用及び効果】

本発明においては、第1図に例示する如く、内部論理回路のバスに接続される入出力端子40を備え、入力バッファ44、48の状態を切換えることによつて、外部からの入力信号を、前記入出力端子40又は入力端子42のいずれかに伝える

ことができるようにしている。従つて、前記入力バッファ44により、外部からの入力信号を前記入出力端子40に伝えるようにして、外部からの入力信号を、内部論理回路のバスに直接入力することができる。よつて、集積回路内部のバスと集積回路外部のバスとの間で、信号の授受を容易且く行うことができる。

一方、集積回路外部の信号を集積回路内のバスに直接取り込む必要がない場合には、前記入力バッファ48により、外部からの入力信号が前記入力端子42に伝えられるようにして、従来のプログラマブル入出力回路と同等の機能を果たせることができる。

又、本発明に係るプログラマブル入出力回路をPLDに適用した場合、入出力回路ブロック(10B)80の信号端子40とPLD30内の配線要素102間の接続は、第2図に示す如く、NMOSトランジスタ104によつて行うのが通常である。しかしながら、PLD30内の配線要素102は、長さ、自由度等にいくつかの種類があり、

特に本発明に係るプログラマブル入出力回路を使用する際に利点の大きなPLDは、バスラインを内蔵している。ところが、該バスラインは、他の配線要素に比べ浮遊容量が大きく、従つて、NMOSトランジスタ104を通して駆動することは動作速度の低下に繋がる。

そこで、本発明に係るPLDでは、第3図に例示する如く、10B80とバスラインとして使用する配線要素102間にトライステートバッファ106を設けて、駆動能力を高めている。従つて、動作速度を向上することができる。その際、トライステートバッファ106のイネーブル信号を10B80内から供給して、信号の方向を決定することができる。

【実施例】

以下、図面を参照して、本発明の実施例を詳細に説明する。

本発明に係るプログラマブル入出力回路の第1実施例は、第1図に示した如く、内部論理回路のバスに接続される入出力(IN/OUT)端子4

0と、内部論理回路のプログラマブルな配線(図示省略)に接続される入力(IN/CE)端子42と、集積回路の外部回路に接続されるパッド16と、該パッド16に印加された外部信号を、TTL又はCMOS論理レベルから内部論理レベルに変換する入力バッファ18と、該入力バッファ18の出力を、前記入出力端子40に伝えるための、トライステート状態を有する第1の入力バッファ44と、前記入力バッファ18の出力を前記入力端子42に伝えるための、例えば不揮発性記憶回路で構成されたメモリ・セルMの記憶内容によつてオンオフ状態が制御される、トライステート状態を有する第2の入力バッファ48と、前記入力端子42から入力される、チップ・イネーブル(CE)信号又はアース信号のいずれか一方を返伏して、前記入力バッファ44の状態制御信号とする、メモリ・セルM(図示省略)が内蔵された2入力マルチプレクサ50と、前記入出力端子40に伝えられる内部論理回路からの出力信号を前記パッド16に伝えるための、内部論理回路から

特開平2-161820 (4)

出力制御端子 26 に印加されるアフトアツト・イネーブル (OE) 信号によりオンオフ状態が制御される、トライステート状態を有する出力バッファ 24 とから構成されている。

以下、第 1 実施例の作用を説明する。

まず、集積回路外部の信号を集積回路内のバスに直接取り込む必要のない通常時は、前記入力バッファ 44 をオフとし、入力バッファ 48 をオンとしておく。すると、パッド 16 に入力された外部信号が、入力バッファ 18 及び 48 を介して、入力端子 42 から内部論理回路のプログラマブルな配線に接続される。一方、内部論理回路からの出力信号は、入出力端子 40 に入力され、従来と同様に出力バッファ 24 を介してパッド 16 に出力される。この際、出力バッファ 24 のオンオフ状態は、内部論理回路から出力制御端子 26 に印加される OE 信号の状態によって制御される。

一方、集積回路外部の信号を集積回路内部のバスに直接取り込む必要がある場合には、前記入力バッファ 44 をオンとし、前記入力バッファ 48

をオフとする。すると、入出力端子 40 が内部論理回路のバスに接続され、入出力信号が該入出力端子 40 を介して、入力時には入力バッファ 18 及び 44 を経て、出力時には出力バッファ 24 を経てパッド 16 に伝えられることになり、集積回路外部のバスと集積回路内部のバスとの間で信号の授受を効率的に行うことが可能となる。

本実施例においては、前記が極めて簡易である。なお、TTL レベルと CMOS レベルの間で互換性を保つ必要がない場合には、入力バッファ 18 を省略することもできる。

次に、第 4 図を参照して、本発明に係るプログラマブル入出力回路の第 2 実施例を詳細に説明する。

この第 2 実施例は、前記第 1 実施例と同様のパッド 16、メモリ・セル M を備えた入力バッファ 18、出力制御 (TS) 端子 26、直接入出力 (Direct In) 用の入出力端子 40、通常 (Registered In) 又は Internal Bus Tri-State) 用の入力端子 42、入力バッファ 44、メモ

リ・セル M を備えた入力バッファ 48、2 入力マルチプレクサ 50 を備えたプログラマブル入出力回路において、更に、パッド 16 の電位を、無待機時に電源電圧まで持ち上げるためのプルアップ抵抗 51 及び該プルアップ抵抗 51 をオンオフするためのメモリ・セル M を内蔵したバストランジスタ 52 と、前記入力バッファ 18 出力の入力信号をラッチするための D フリップ・フロップ 20 と、該 D フリップ・フロップ 20 の出力信号 Q 又は前記入力バッファ 18 の出力のいずれか一方を選択するための 2 入力マルチプレクサ 22 と、該 2 入力マルチプレクサ 22 の出力を、必要に応じて反転して前記入力バッファ 48 に入力するための、メモリ・セル M を備えたエクスクルーシブ OR ゲート 54 と、前記 2 入力マルチプレクサ 50 の出力を、必要に応じて反転して前記入力バッファ 44 に状態制御信号として入力するための、メモリ・セル M を備えたエクスクルーシブ OR ゲート 56 と、前記入力バッファ 18 の出力信号を、必要に応じて反転して前記入力バッファ 44 に入

力するための、メモリ・セル M を備えたエクスクルーシブ OR ゲート 58 と、前記直接入出力端子 40 から独立された、通常用の出力端子 60 と、該出力端子 60 から入力される出力信号をラッチするための D フリップ・フロップ 62 と、該 D フリップ・フロップ 62 の出力信号 Q、前記出力端子 60 の信号、又は前記入出力端子 40 の信号のいずれか 1 つを選択して出力するための、3 入力マルチプレクサ 64 と、該 3 入力マルチプレクサ 54 の出力を、必要に応じて反転して前記出力バッファ 24 に入力するための、メモリ・セル M を備えたエクスクルーシブ OR ゲート 66 と、前記出力制御端子 26 に印加される信号を、必要に応じて反転して前記出力バッファ 24 に状態制御信号として入力するための、メモリ・セル M を備えたエクスクルーシブ OR ゲート 68 と、リセット信号が入力されるリセット端子 70 と、グローバル・リセット信号が入力されるリセット端子 72 と、該リセット端子 70 又は 72 に印加される信号の論理和の否定を、前記 D フリップ・フロップ

時間平2-161820 (5)

20及び62にリセット信号Rとして入力するためのNORゲート74と、前記Dフリップ・フロップ62に第1のクロック信号CLK1を入力するためのクロック端子76と、前記Dフリップ・フロップ20にクロック信号CLK2を入力するためのクロック端子78とを備えたものである。他の点及び基本的な作用に関しては、前記第1実施例と同様であるので説明は省略する。

この第2実施例においては、アルファ値検出1、ラッチ用のDフリップ・フロップ20、62、信号選択用のマルチプレクサ22、50、64、信号反転用のエクスクルーシブORゲート54、56、58、66、68、通常用の出力端子60、2つのクロック端子76、78等を付加し、これらをプログラマブルに利用可能としているので、汎用性が更に高い。

本発明に係るIOB80は、第5図に示す如く、内部論理回路を構成するPLE34、スイッチステーション(56)84及びバス36を含むものに適用され、例えばIOB80の出力がアルファ

値88を介して各バス36に直接接続されている。

なお、第5図に接続で例示する如く、各PLE34とスイッチステーション84間は内部配線90によって相互に接続されている。

なお、基振回路内部のバス36とPLE34をトライステートのバッファを介して接続してもよい。

本発明に係るプログラマブル入出力回路によれば、従来例による前出第8図に於いて、第6図に示す如く、外部の基振回路(PLD)30を透過するバス31が、本発明によるIOB80のみを介して、PLD32内部のPLE34のバス36と接続される。従って、PLD32(基振回路)内部のバス36と外部のバス31の間で、信号の授受を効率的に行うことができる。

次に、本発明に係るプログラマブル入出力回路を含むPLDの実施例を詳細に説明する。

本実施例は、前出第3図に示した如く、PLD30において、入力制御端子108、出力制御

用端子110、及び、入力制御信号発生手段112、出力制御信号発生手段114が設けられたIOB80と、バスラインとして使用する、電気的に接続をプログラミング可能な配線要素102と、イネーブル制御入力端子を有するトライステートバッファ106とを備え、該トライステートバッファ106のイネーブル制御を、前記IOB80内の入力制御信号発生手段112で発生した制御信号により行うようにしたものである。図において、104はNMOSTランジスタである。

本実施例によれば、配線要素102の駆動能力が高められるので、PLD30の動作速度を向上することができる。

4. 図面の簡単な説明

第1図は、本発明に係るプログラマブル入出力回路の第1実施例の構成を示す回路図。

第2図は、本発明に係るプログラマブル入出力回路を含むPLDの比較例の構成を示すブロック図。

第3図は、本発明に係るPLDの実施例の構成

を示すブロック図。

第4図は、本発明に係るプログラマブル入出力回路の第2実施例の構成を示す回路図。

第5図は、本発明に係るプログラマブル入出力回路が用いられるPLDの全体構成の例を示す平面図。

第6図は、本発明に係るプログラマブル入出力回路による、外部のバスとの接続状態を示す回路図。

第7図は、従来のプログラマブル入出力回路の構成の例を示す回路図。

第8図は、従来のプログラマブル入出力回路による、外部のバスとの接続状態を示す回路図である。

16…パッド。

18、44、48…入力バッファ。

24…出力バッファ。

26…出力制御端子。

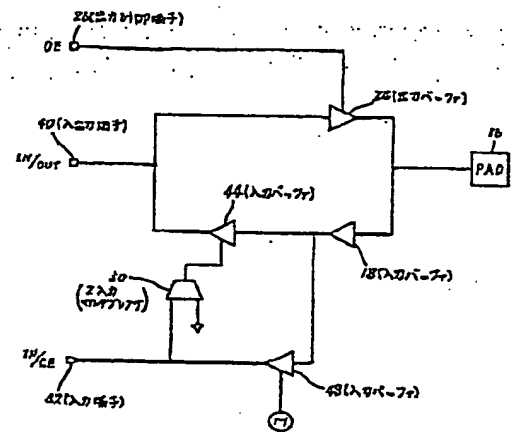
31、36…バス。

特開平2-161820 (6)

- 3 4ーアログラマブル論理要素 (P L E)、
- 4 0ー入出力端子、
- 4 2ー入力端子、
- 5 0ー2入力マルチプレクサ、
- 8 0ーアログラマブル入出力ブロック (I O B)、
- 8 4ースイッチステーション (S S)、
- 1 0 2ー記憶要素 (バスライン)、
- 1 0 4ーN M O S トランジスタ、
- 1 0 6ートライステートバッファ、
- 1 0 8ー入力制御用端子、
- 1 1 0ー出力制御用端子、
- 1 1 2ー入力制御信号発生手段、
- 1 1 4ー出力制御信号発生手段、

代理人 高 矢 館
松 山 主 佑
牧 野 剛 博

第 1 図



第 2 図

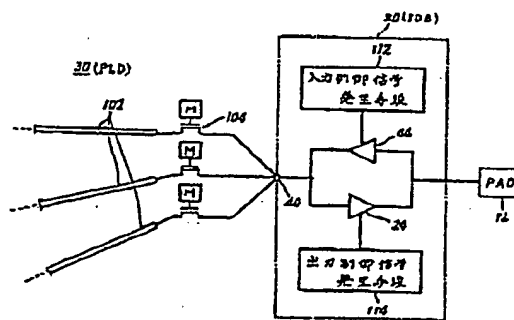
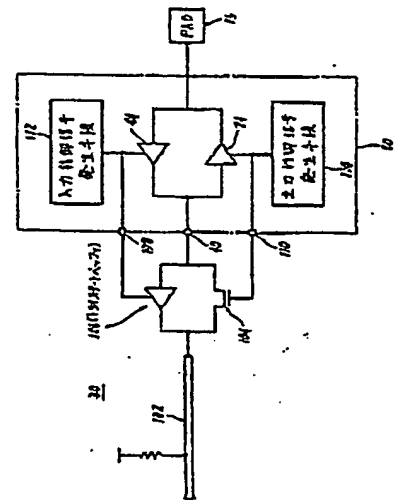
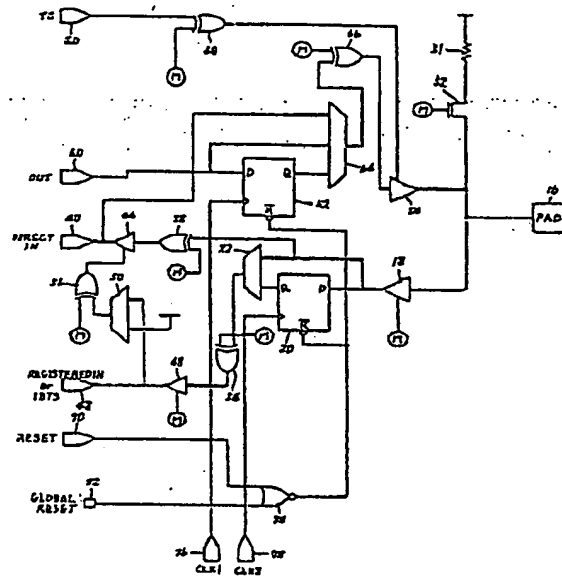


圖 3 第 3

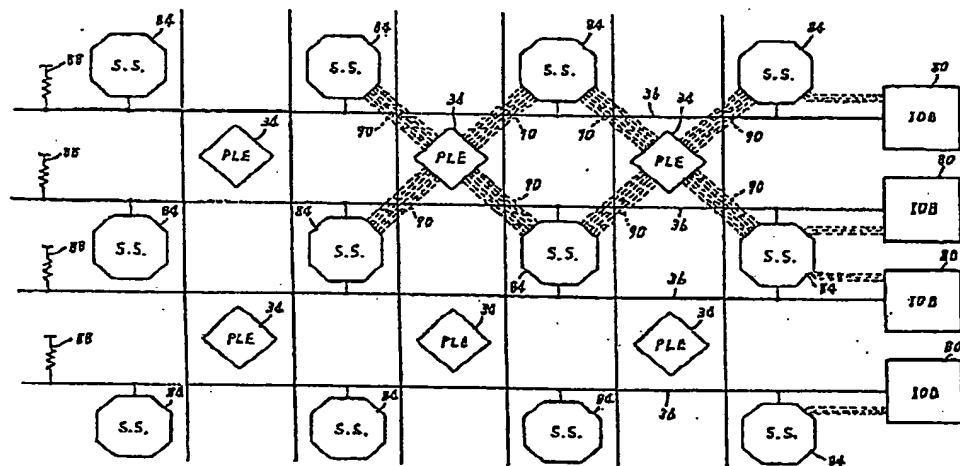


時間 2-161820 (7)

第 4 圖

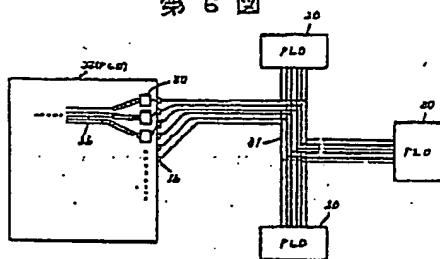


第 5 圖

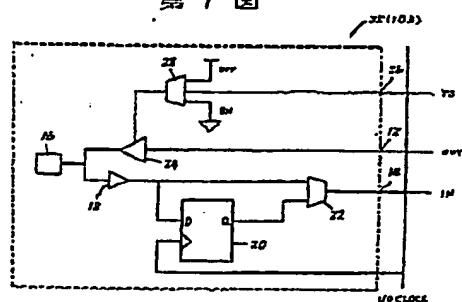


特開平2-161820 (B)

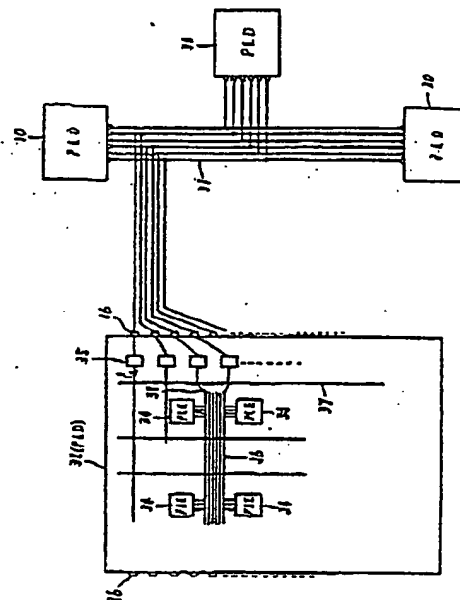
第 6 図



第 7 図



第 8 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.